

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-238164

(43)Date of publication of application : 09.09.1997

(51)Int.Cl.

H04L 25/02
H04B 3/00
// H04L 12/40

(21)Application number : 09-020227

(71)Applicant : HITACHI LTD

(22)Date of filing : 03.02.1997

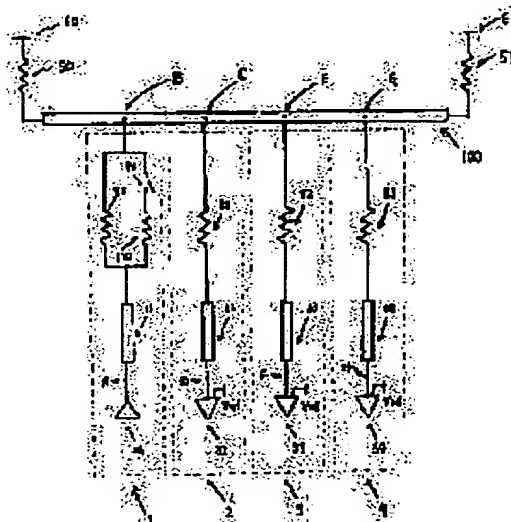
(72)Inventor : TAKEKUMA SHUNJI
KURIHARA RYOICHI
YAMAGIWA AKIRA

(54) SIGNAL TRANSMITTER

(57)Abstract:

PROBLEM TO BE SOLVED: To attain high speed signal transmission by inserting a resistor whose resistance is a specific value depending on a transmission line impedance and a branch wire impedance to a branch point from a transmission line so as to prevent reflection at a branch point.

SOLUTION: A circuit block 1 is provided with a transmission circuit 21, circuit blocks 2-4 are provided with reception circuits 32-34 and impedance of branch wires 11-14 in each block is 100 ohms. A transmission line 100 has an impedance of 100 ohms and is terminated to power supplies 60, 61 of 1.5V via resistors 50, 51 of 50 ohms. The transmission circuit 21 is made up of a couple complementary transistors (TRs) in series between a 3V power supply and ground and has a 10 ohms of on-resistance. In order to match the impedance of the branch wires 11-14 and the transmission line 100 in each block, resistors 80-83 whose resistance is 75 ohms are inserted. When the transmission circuit 21 is in operation, a resistor 110 is connected in parallel with a switch 90 to prevent reduction in the output signal.



LEGAL STATUS

[Date of request for examination]

03.02.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3008873

[Date of registration]

03.12.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 2 3 8 1 6 4

(43) 公開日 平成 9 年 (1 9 9 7) 9 月 9 日

(51) Int. Cl.

識別記号

庁内整理番号

F I

技術表示箇所

H04L 25/02

H04L 25/02

F

H04B 3/00

H04B 3/00

// H04L 12/40

H04L 11/00

320

審査請求 有 請求項の数 6 O L (全 2 2 頁)

(21) 出願番号 特願平 9 - 2 0 2 2 7
 (62) 分割の表示 特願平 5 - 3 3 4 6 3 1 の分割
 (22) 出願日 平成 5 年 (1 9 9 3) 1 2 月 2 8 日

(71) 出願人 0 0 0 0 0 5 1 0 8
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目 6 番地
 (72) 発明者 武隈 俊次
 神奈川県海老名市下今泉 8 1 0 番地 株式
 会社日立製作所オフィスシステム事業部内
 (72) 発明者 栗原 良一
 神奈川県海老名市下今泉 8 1 0 番地 株式
 会社日立製作所オフィスシステム事業部内
 (72) 発明者 山際 明
 神奈川県海老名市下今泉 8 1 0 番地 株式
 会社日立製作所オフィスシステム事業部内
 (74) 代理人 弁理士 小川 勝男

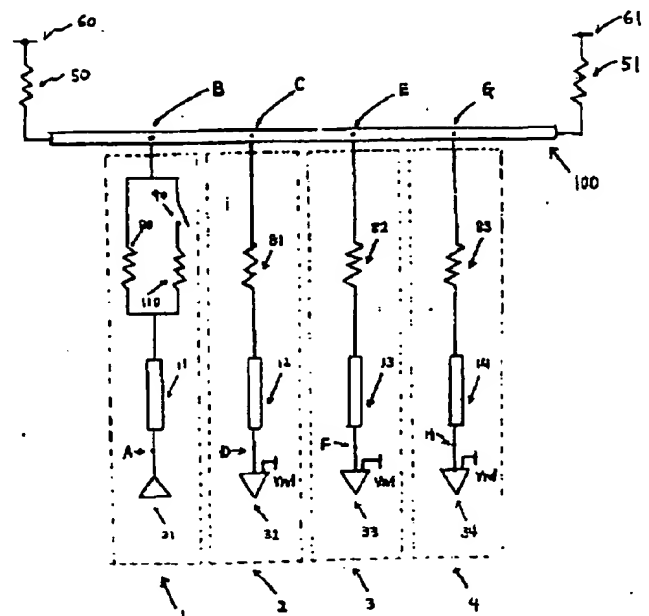
(54) 【発明の名称】 信号伝送装置

(57) 【要約】

【課題】 分岐配線内での反射の繰り返しを防止し、高速な低振幅バスを実現する。

【解決手段】 送出回路と前記送出回路によって作られた信号を伝えるための伝送線路とを有する 1 つ以上のユニットと、受信回路と前記受信回路に inputs する信号を伝えるための伝送線路とを有する 1 つ以上のユニットと、前記ユニット間を伝達するための伝送線路とから構成される信号伝送回路において、前記ユニット間伝達用伝送線路の一方所以上で抵抗を介し電源と接続し、さらに前記ユニット内伝送線路のインピーダンスから前記ユニット間伝達用伝送線路の実効インピーダンスの半分を引いた値にほぼ等しい抵抗値を持つ素子を、前記出力回路を有するユニット内の伝送線路と前記ユニット間接続用伝送線路との間に置く。

図 14



1

【特許請求の範囲】

【請求項 1】 信号を伝達する主伝送線路と、信号を出力する第 1 の信号送出回路と、該第 1 の信号送出回路と前記主伝送線路の間で信号を伝達する第 1 の分岐配線と、信号を受信する第 1 の信号受信回路と、前記主伝送線路と前記第 1 の信号受信回路との間で信号を伝達する第 2 の分岐配線とを有する信号伝送装置において、前記主伝送線路は該主伝送線路とほぼ等しい抵抗値の第 1 の素子で終端し、

前記主伝送線路と前記第 1 の分岐配線との間に、前記第 1 の分岐配線と前記主伝送線路との間のインピーダンスマッチングをとり前記主伝送線路と前記第 1 の分岐配線との分岐点での信号反射を抑えるための第 2 の素子と、前記送出回路から出力される信号の信号振幅を変える回路を備え、

前記主伝送線路と前記第 2 の分岐配線との間に、前記第 2 の分岐配線と前記主伝送線路との間のインピーダンスマッチングをとり、前記主伝送線路と前記第 2 の分岐配線との分岐点での信号反射を抑えるための第 3 の素子を備えたことを特徴とする信号伝送装置。

【請求項 2】 請求項 1 記載の信号伝送装置において、前記信号振幅を変える回路は、前記第 2 の素子と並列に設けられ、抵抗素子と信号送出時は閉じており信号送出後一定時間の後に開くスイッチング素子とからなることを特徴とする信号伝送装置。

【請求項 3】 請求項 1 記載の信号伝送装置において、前記信号振幅を変える回路は、前記第 2 の素子と並列に設けられ、容量素子と信号送出時は閉じており信号送出後一定時間の後に開くスイッチング素子とからなることを特徴とする信号伝送装置。

【請求項 4】 信号を伝達する主伝送線路と、信号を送受信する第 1、第 2 の信号送受信回路と、該第 1、第 2 の信号送受信回路と前記主伝送線路の間で信号を伝達する第 1、第 2 の分岐配線とを有する信号伝送装置において、

前記主伝送線路は該主伝送線路とほぼ等しい抵抗値の第 1 の素子で終端し、

前記主伝送線路と前記第 1、第 2 の分岐配線との間に、前記第 1、第 2 の分岐配線と前記主伝送線路との間のインピーダンスマッチングをとり前記第 1、第 2 の分岐配線と前記主伝送線路との分岐点での信号反射を抑えるための第 2 の素子と、前記第 1、第 2 の信号送受信回路から出力される信号の信号振幅を変える回路を備えたことを特徴とする信号伝送装置。

【請求項 5】 請求項 4 記載の信号伝送装置において、前記信号振幅を変える回路は、前記第 2 の素子と並列に設けられ、抵抗素子と信号送出時は閉じており信号送出後一定時間の後に開くスイッチング素子とからなることを特徴とする信号伝送装置。

【請求項 6】 請求項 4 記載の信号伝送装置において、前

2

記信号振幅を変える回路は、前記第 2 の素子と並列に設けられ、容量素子と信号送出時は閉じており信号送出後一定時間の後に開くスイッチング素子とからなることを特徴とする信号伝送装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は CPU やメモリ等の素子間（例えば CMOS 等により構成されたデジタル回路間又はその機能ブロック間）での信号伝送のための技術に関し、特に、複数の素子が同一の伝送線に接続されるバス伝送を高速に行うための技術に関するものである。

【 0 0 0 2 】

【従来の技術】 半導体集積回路装置により構成されたデジタル回路間の信号伝送を高速に行うための技術として、信号振幅を 1 V のような小振幅で伝達する低振幅インタフェースに関する技術があげられる。

【 0 0 0 3 】 低振幅インタフェースの代表的なものとして、G T L (Gunning Transceiver Logic) インタフェースや C T T (Center Tapped Termination) インタフェースがある。

【 0 0 0 4 】 これらの低振幅インタフェースについては、例えば日経エレクトロニクス 9 月 2 7 日号 P 2 6 9 ~ 2 9 0 (日経 B P 社、平成 5 年発行) に詳しく記載されている。

【 0 0 0 5 】 一方、デジタル回路間の信号の高速伝送を実現するには信号振幅を小さくするとともに、インピーダンス整合をとったバス設計を行うことが必要である。

【 0 0 0 6 】 特に近年半導体集積回路の益々の高速化によって、信号波形の立ち上がり速度や立ち下がり速度が早まることにより、インピーダンスの不整合による波形歪が無視できなくなっている。このため、インピーダンスの整合設計はますます重要な課題となる。

【 0 0 0 7 】 このインピーダンスの整合設計の重要性を従来の技術の 1 例である図 1 に示す例で説明する。

【 0 0 0 8 】 図 1 は伝送線路に分岐配線がある場合の例を示す。終端電源 6 0、6 1 及び終端抵抗 5 0、5 1 により終端された伝送線路 1 0 0 には、送出回路ブロック 1 と受信回路ブロック 2、3、4 が接続される。

【 0 0 0 9 】 この例において、伝送線路 1 0 0 のインピーダンスは 5 0 Ω 、分岐配線 1 1 ~ 1 4 のインピーダンスは 5 0 Ω 、終端抵抗 5 0、5 1 はそれぞれ 5 0 Ω 、終端電源 6 0、6 1 は 0.5 V、そして送出回路 2 1 のオン抵抗は 1 0 Ω とする。

【 0 0 1 0 】 また、送出回路 2 1 は High 出力時には伝送線路 1 1 を 1 V 電源と接続し、Low 出力時にはグラウンド、すなわち 0 V と接続する回路であり、また図中の 3 2 ~ 3 4 は受信回路とする。

【 0 0 1 1 】 このバスにおいて、送出回路 2 1 が Low 出力から High 出力に切り替わるとき、図中の各点に

10

20

30

40

50

信号がどのように伝わるかを説明する。

【0012】まず、送出回路21からLow出力を出している時の伝送線路100の電位を求めると、このときの伝送線路の電圧は終端電源0.5Vを終端抵抗50.51と送出回路21のオン抵抗によって分圧された電圧となるから、

$$0.5 \times 10 / (10 + 25) = 0.14 \text{ (V)}$$

である。

【0013】次に送出回路の出力をLowからHighへと切り替え、信号が図1のA点に伝わる時の電位を求めると、

【0014】送出回路を切り替えた直後は、送出回路21の電源1Vが送出回路のオン抵抗と伝送線路11のインピーダンス50Ωとによって分圧されるため、A点での電位上昇分は

$$1 \times 50 / (50 + 10) = 0.83 \text{ (V)}$$

となる。さきに求めた初期電圧0.14Vをこの上昇分に加えた0.97V(V)が求めるA点における電位である。

【0015】さらに、この振幅0.83Vの波形が分岐点B点に到達したときを考える。

【0016】伝送線路11から伝送線路100を見ると、左右2方に分かれているため、伝送線路11から見た伝送線路100の見かけ上のインピーダンスは、伝送線路100のインピーダンス50Ωの半分、すなわち25Ωに見える。一方、伝送線路11のインピーダンスは50Ωであるので、B点においてインピーダンスの不整合による反射が起こる。

【0017】このインピーダンス不整合による反射係数を求めると

$$(50 - 25) / (50 + 25) = 0.33$$

となり、A点に伝わった0.83Vの信号振幅のうち、1/3に相当する振幅0.28Vの信号が反射し、送信回路側に戻る。残りの振幅0.55Vの信号が一回目の透過波となって伝送線路100に伝わる。よって、透過信号の電位はこの0.55Vに初期電位を加えた電位、すなわち0.69Vとなる。

【0018】送出回路に戻った0.55V振幅の信号は送信回路に到達すると全反射をし、再びB点に到達する。このうち2/3が伝送線路100に出て、1/3が再び伝送線路11に戻る。このように信号は伝送線路11を幾度も往復し、その都度、B点に到達した波形は、その2/3を伝送線路100に出力する。こうして、A点に伝わった0.83Vの振幅を少しずつ伝送線路100に伝えていくのである。

【0019】話を元に戻し、先ほどのB点で通過した信号に注目する。この伝送線路100に伝わった0.69Vの信号がC点に伝わり、前方に50Ωの伝送線路が2本見え、前方の合成インピーダンス25Ωと、いままで伝わってきた伝送線路のインピーダンス50Ωとのイ

ンピーダンスの不整合による反射が起こる。

【0020】反射係数を求めると、

$$(50 - 25) / (50 + 25) = 0.33$$

となり、C点を通り抜ける波形の電位は、B点の信号振幅0.55Vに透過率2/3(=1-1/3)を掛け、初期電位を加えた電位となる。すなわち、0.55×2/3+0.14=0.50(V)となる。

【0021】同様の反射が点E、点Gでも起こり、それぞれの電位は0.38(V)、0.30(V)となる。

【0022】

【発明が解決しようとする課題】これらの結果を示したのが図2である。図2において、(a)は図1に示す点Cに着目し、点Cに入ってくる信号であるB点と点Cから出て行く信号である点Dと点Eの信号を示したものであり、説明のため点Aの信号も示している。同様に

(b)は点Eに着目した信号波形を示した図、(c)は点Gに着目した信号波形を示した図である。図2中、201は図1におけるA点の信号波形、202はB点、203はC点、204はD点、205はE点、206はF点、207はG点、208はH点の信号波形を示している。

信号の立ち下がり時においても、同様のことが起こり、そのときの信号波形は図3のようになる。図3においても、201から208はそれぞれ図1におけるA点からH点までの信号波形を示す。

【0023】このように従来の信号伝送回路を用いると、送出回路21からの最初の波形は受信回路において、みな、信号のHigh、Lowを確定する基準電圧Vref(上記条件では0.5V)を越えられないことがわかる。

【0024】また、分岐点C、E、Gにおいて分岐配線内に入った信号は、伝送線路11と同様、分岐配線内で反射を繰り返し、反射波形が分岐点に戻ってきたとき、信号の2/3が伝送線路100に出る。これが、伝送線路100における波形の歪の原因になる。

【0025】このように、分岐配線では各分岐点において反射が起こり、それぞれの反射による電位降下が重なることで、送出回路の遠方での信号電位の上昇が遅れ、その結果、遅延時間がを増え、高速伝送を不可能となるわけである。

【0026】さらに、前記の文献にて開示された回路では送出回路のオン抵抗を特殊な値である100Ωにすることで、送出回路に供給される電源電圧に3.3Vを与えても伝送線上で1V振幅を実施しているが、オン抵抗を特殊な値とすることは、現在広く使われている10Ω前後のオン抵抗を持つトランジスタを無意味なものとしてしまう。

【0027】また、このように送出回路のオン抵抗を高い値とすることは、送出回路で消費する電力を大きくすることとなり、消費電力が増大するという問題もある。

【0028】更に、受信回路ブロックに入り込む信号が

受信回路部分で反射し、再び伝送路 100 に入り込むことの考慮が成されておらず、信号波形の歪みの問題が残る。

【0029】本発明の目的は、図 1 のような分岐配線を持った伝送線路において、伝送線路での信号電位の落ち込みの抑え込みと分岐配線内での反射の繰り返しの防止及びバス上の低振幅を実現し、高速に信号の伝送を行なうことが可能な信号伝送回路を提供することにある。

【0030】

【課題を解決するための手段】上記目的を達成するために、送出回路と前記送出回路によって作られた信号を伝えるための伝送線路とを有する 1 つ以上のユニットと、受信回路と前記受信回路に入力する信号を伝えるための伝送線路とを有する 1 つ以上のユニットと、前記ユニット間を伝達するための伝送線路とから構成される信号伝送回路において、前記ユニット間伝達用伝送線路の特性インピーダンス値またはその近傍の抵抗値を持つ素子によって前記ユニット間伝達用伝送線路の終端をおこない、さらに前記ユニット内伝送線路のインピーダンスから前記ユニット間伝達用伝送線路のインピーダンスの半分の値を引いた値またはその近傍の抵抗値を持つ素子を、前記ユニット内の伝送線路と前記ユニット間信号伝達用伝送線路との間に設ける。

【0031】また、送出回路または受信回路と前記回路の出力信号または入力信号を伝えるための伝送線路とを有する 2 つ以上のユニットと、前記ユニット間を伝達するための伝送線路とから構成される信号伝送回路において、前記ユニット間伝達用伝送線路の特性インピーダンス値またはその近傍の抵抗値を持つ素子によって前記ユニット間伝達用伝送線路の終端をおこない、さらに前記ユニット内伝送線路のインピーダンスから前記ユニット間伝達用伝送線路のインピーダンスの半分の値を引いた値またはその近傍の抵抗値を持つ素子を、前記ユニット内伝送線路と前記ユニット間信号伝達用伝送線路との間に設けるユニット間伝達用伝送線路の特性インピーダンス値またはその近傍の抵抗値を持つ素子によって前記ユニット間伝達用伝送線路の終端を行ない、ユニット内伝送線路のインピーダンスからユニット間伝達用伝送線路のインピーダンスの半分の値を引いた値またはその近傍の抵抗値を持つ素子を、ユニット内の伝送線路とユニット間信号伝達用伝送線路との間に設けることにより、伝送線路と分岐配線との間に挿入した抵抗と、終端抵抗とにより分圧される小振幅の信号を伝送線路に伝えることになり、また上記抵抗により分岐配線内での信号の反射の繰り返しの防止することができ、分岐配線を持った伝送線路において高速伝送が可能となる。

【0032】

【発明の実施の形態】以下、本発明の一実施例を図面を用いて詳細に説明する。

【0033】（実施例 1）図 4 に、単一方向用伝送線路

に本発明を適用した一実施例の基本ブロック図を示す。

【0034】図 4 において、1 は送出回路 21 を持つ送出回路ブロック、2 ~ 4 は受信回路 32 ~ 34 をもつ受信回路ブロックである。各々の回路ブロックにはそれぞれ抵抗 80 ~ 83 と伝送線路 11 ~ 14 を有する。また伝送線路 100 は各回路ブロック 1 ~ 4 を接続し、さらに伝送線路 100 の特性インピーダンス値、またはその近傍の抵抗値をもつ抵抗 50、51 によって終端されている。

【0035】なお、この例では両端終端した例を示したが、抵抗 1 つで終端した片端終端でもよい。また、受信回路を持つ受信回路ブロックの数が 3 の場合を示しているが、受信回路を持つブロックの数は 1 以上であれば、本発明は適用できる。

【0036】図 5 には図 4 で用いる送出回路の一例を示す。この送出回路はプルアップ・トランジスタ 70 とプルダウン・トランジスタ 71 とで構成されるプッシュプル型送出回路である。なお、図 5 ではプルアップ・トランジスタ 70 に NMOS を用いた場合の図を示したが、NMOS に限定されるものではなく PMOS でもよい。

【0037】プッシュプル型送出回路を用いた低振幅用送出回路は、従来技術で掲げた文献に詳細に示されている。そこで使われている送出回路ではオン抵抗と終端抵抗との分圧によって小振幅を実現するために 100 Ω 前後の高いオン抵抗をもったトランジスタを使っている。これに対し、本発明では現在広く使われている 10 Ω 前後のオン抵抗を持つトランジスタを使用することが出来る。従来の送出回路が使用できるのは、本発明によって追加した抵抗 80 ~ 83 とこの 10 Ω 前後のオン抵抗との和が、先のオン抵抗 100 Ω と近いために、伝送線路上の振幅は同等の大きさとなるからである。

【0038】例えば、伝送線路のインピーダンスと終端抵抗を 50 Ω、分岐配線のインピーダンスを 100 Ω、終端電源を 1.5 V、送出回路に供給されている電源を 3 V とすると、オン抵抗 100 Ω のトランジスタを使用した前記文献の伝送路では信号振幅は 0.6 V となり、図 4 で示した伝送線路での振幅 0.68 V とほぼ等しい値になる。

【0039】なお、ここで抵抗 80 ~ 83 の抵抗値を 75 Ω とした。この抵抗値の決め方は後で明らかにする。

【0040】また、このように送出回路のオン抵抗を 100 Ω から 10 Ω へと下げたことにより、送出回路で消費する電力を削減することが出来る。例えば、先の条件では、100 Ω のオン抵抗を使用した従来の場合、消費電力は 14.4 mW であるが、本発明によれば 1.9 mW と大幅に削減することが出来る。

【0041】次に受信回路の一例を図 6 に示す。この受信回路は、基準電圧に対し入力電圧が高いか、低いかによって入力信号の High、Low を判定する差動型受信回路である。ここで用いる基準電圧は受信回路を構成

する集積回路内で作ることもできるが、集積回路内部で発生した電源ノイズや外部より入った電源ノイズなどにより電源が変動すると、これにともない基準電圧も変動するため、基準電圧は外部より供給するのがより良い。この受信回路についても先に提示した文献に開示されている。

【0042】なお、図4では各回路ブロック内の受信回路は1つしか記載されていないが、本発明は受信回路の数に制限されるものではない。

【0043】このように構成された信号伝送回路において、抵抗80～83の抵抗値を以下の方法で設定する。例えば、抵抗80の抵抗値は伝送線路11のインピーダンスからバス100のインピーダンスの半分を引いた値にする。バス100のインピーダンスの半分とするのは、送出回路ブロックからの信号はバス100との接点Bにおいて2方向に分岐するからである。

【0044】つまり伝送線路11のインピーダンスを Z_s 、バス100のインピーダンスを Z_0 、抵抗80の抵抗値を R_m とすれば、

$$R_m = Z_s - Z_0 / 2 \quad (1)$$

とする。

【0045】これにより、伝送線路11から見た抵抗80とバス100との合成インピーダンスは伝送線路11自身のインピーダンスと等しくなり、分岐配線内での反射の繰り返しを防止することができる。

【0046】抵抗81～83についても同様の方法で設定する。これにより、他のブロックにおいても、前記したブロック1と同等の効果をもたらすことが出来る。

【0047】なお、前記した本発明の効果は式(1)で求めた抵抗値の抵抗によってのみ有効なものではなく、式(1)で求めた抵抗値の近傍であれば、十分有効なものである。

【0048】そこで(1)で求めた抵抗の効果の説明するために、図4の回路図を用いて送出回路21がLow出力からHigh出力へと切り替わった時に図中の各点にどのような波形が伝わるのかを以下に説明する。

【0049】図4において伝送線路100のインピーダンスを50Ω、分岐配線11～14のインピーダンスを100Ω、終端抵抗50、51をそれぞれ50Ω、終端電源60、61を1.5V、そして送出回路21のオン抵抗を10Ωとする。

【0050】また、送出回路21はHigh出力時には伝送線路を3V電源と接続し、Low出力時にはグランド、すなわち0Vと接続する回路である。また図中の32～34を受信回路とする。

【0051】このとき、抵抗80～83の抵抗値は式(1)より75Ωである。

【0052】まず、送出回路21からLow出力をしたときの伝送線路100の電位を求める。

【0053】伝送線路の電圧は終端電源1.5Vを終端

抵抗50、51と抵抗80、そして送出回路21のオン抵抗によって分圧された電圧となるから

$$1.5 \times (75 + 10) / (10 + 75 + 25) = 1.16 \text{ (V)}$$

となる。

【0054】図4の回路では、送出回路21から出た信号はB点で反射せずに、すべて伝送線路100に伝わる。このため、送出回路の出力をLowからHighへと切り替えたときのB点に伝わる信号の電位は、終端電源1.5Vと送出回路21の電源3Vを終端抵抗50、51、抵抗80、送出回路21のオン抵抗によって分圧された電圧となるから、B点での信号電位は

$$1.5 + (3 - 1.5) \times 25 / (10 + 75 + 25) = 1.84 \text{ V}$$

となる。すなわち、B点に伝わる信号の振幅は、

$$1.84 - 1.116 = 0.68 \text{ V}$$

である。

【0055】この伝送線路100に伝わった振幅0.68Vの信号はC点に伝わると、前方に50Ωの伝送線路と75Ωの抵抗と100Ωの伝送線路が見えるが、この2本の配線の合成インピーダンス38.9Ωと、いままで伝わってきた伝送線路のインピーダンス50Ωとが異なるため、インピーダンスの不整合による反射が起こる。

【0056】透過係数を求めると、

$$1 - (50 - 38.9) / (50 + 38.9) = 0.875$$

となり、E点を通過する信号の電位は、B点の信号振幅0.68Vに透過率0.875を掛け、初期電位を加えた電位となる。すなわち、 $0.68 \times 0.875 + 1.16 = 1.76 \text{ (V)}$ となる。

【0057】同様の反射が点E、点Gでも起こり、それぞれの電位は1.68(V)、1.61(V)となる。

【0058】これらの結果を示したのが図7である。図7において、(a)は図4に示す点Cに着目し、点Cに入ってくる信号である点Bと、点Cから出て行く信号である点Dと点Eの信号波形を示したものである。同様に(b)は点Eに着目した信号波形を示した図、(c)は点Gに着目した信号波形を示した図である。図7中、702は図4における点Bの信号波形、703はC点、704はD点、705はE点、706はF点、707はG点、708はH点の信号波形を示している。信号の立ち下がり時においても、同様のことが起こり、そのときの信号波形は図8のようになる。図8においても、702から708はそれぞれ図4におけるB点からH点までの信号波形を示す。

【0059】このように、本実施例で明らかにした信号伝送回路を用いると、各分岐点における送出回路21からの最初の信号は、すべて基準電圧(上記条件では1.5V)を越えていることがわかる。

【0060】なお、分岐配線の本数が多くなると本実施例で用いた信号伝送回路を用いても、基準電圧を越えることが出来なくなる。この場合についての対策については実施例3で明らかにする。

【0061】また、点C、E、Gで伝送線路12～14に入った信号は、それぞれ受信回路のところで全反射し、分岐点に戻るのだが、今回の回路ではインピーダンス整合がとれているため、分岐点で反射することなく1回で全電位を伝送線路100に伝えることが出来る。

【0062】図より明らかなように、本発明によって挿入した抵抗によって、反射による電位降下が大幅に削減でき、送出回路から遠い受信回路での信号電位落ち込みもわずかなものになっている。

【0063】このように、抵抗の挿入によって、伝送線路における信号の低振幅化と高速伝送を同時に実現している。

【0064】また、低振幅の割合は伝送線路100インピーダンスと各ブロック内の伝送線路のインピーダンスを変えることにより、自由に設計することが出来る。例えば、送出回路のオン抵抗が10Ωの場合、ブロック内伝送線路のインピーダンスを100Ω、そして伝送線路100のインピーダンスを25Ωとすると、伝送線路上の信号振幅は、抵抗80～83が87.5Ωとなるので、

$$1.5 \times 20 / (20 + 100 + 10) \times 2 = 0.34 \text{ (V)}$$

となる。このときの波形を図18、図19に示す。図中の702から708は図4におけるB点からH点の信号波形を示す。

【0065】この図より、振幅がさらに小さくなり、しかも落ち込みの小さな波形が得られていることがわかる。

【0066】また、抵抗80～83はユニット内の負荷容量による伝送線路100のインピーダンス低下を低減する効果もある。すなわち、伝送線路100と回路ブロック1～5との間に抵抗を挿入すると、回路ブロック内の容量は抵抗を通して見えるため、この結果、伝送線路のインピーダンスの低下は抑えられる。

【0067】さらに、本発明による信号伝達方式を用いると、動作中の伝送線路にボードを新たに追加したり、実装されているボードを抜き取る場合、すなわち活線挿抜を行うときも本発明は有効な効果を生む。例えば、Low信号が伝わっている伝送線路にHighレベルに充電されたボードを挿入する場合を考える。このとき、ボード内の容量の電位と伝送線路の電位とが異なるために、ボードから伝送線路に電流が流れる。このときに流れた電流が伝送線路に伝わり波形歪となって伝送線路上、さらには分岐配線内の受信回路までで伝わる。この波形歪が基準電圧を越えた電位になると、受信回路はHigh信号が伝わってきたものと認識して誤動作をす

る。

【0068】波形歪の例を図9に示す。図9は従来の伝送線路において活線挿抜を行った時の波形である。

【0069】また、図10に本発明で提供した伝送回路を用いて活線挿抜を行ったときの波形を示す。これらの図より明らかなように、活線挿抜による波形歪も本発明によって削減することができる。

【0070】（実施例2）次に、実施例2として、双方向用伝送線路に本発明を適用した一実施例を説明する。

【0071】図11にその一実施例の基本ブロック図を示す。回路ブロック1～4には送出回路21～24と受信回路31～34と抵抗80～83と伝送線路11～14を備える。伝送線路100は各回路ブロック1～4を接続し、さらに伝送線路100の特性インピーダンス値の抵抗値をもつ抵抗50、51によって終端する構成である。

【0072】なお、図11では両端終端した例を示したが、抵抗1つで終端した片端終端でもよい。また、図11ではブロックの数が4の場合を示しているが、ブロックの数は2以上であれば、本発明は適用できる。

【0073】図11で示す各回路ブロックに有する送出回路21～24と受信回路31から34の構成は、図5、図6で説明したものと同一である。また、抵抗80から83の値も図4で示す実施例1における決め方と同様である。更に、回路ブロック1から信号を発する場合を想定した場合に、点Aから点Hにおける信号波形は、実施例1と同様である。

【0074】実施例2で示す1つの回路ブロックで送出回路及び受信回路を有する構成において、抵抗値を前述の式(1)で求めた抵抗値またはその近傍の値の抵抗値とすることにより、送出回路の切り替えに伴う待ち時間を短縮することができる。以下では、図11に示す回路構成において、送出回路の切替動作を行なったときの信号波形の変化について示す。

【0075】まず送出回路の切り替えを以下の手順で行う。

【0076】(1) 送出回路21よりHigh信号を出力する。

【0077】(2) (1)より10ns後に、送出回路21をハイ・インピーダンスにし、また同時に送出回路24よりHigh信号を出力する。

【0078】こうして送出回路の切り替えを行うと、送出回路21近傍の伝送線路では送出回路24からのHigh信号が伝わってくるまでの間、終端電位によって信号電位は落ち込み、この落ち込み波形が伝送線路を経て各分岐配線に伝わる。

【0079】この落ち込み波形の各点での波形を、抵抗が無い従来の伝送線路の場合を図12に、本発明で提供した伝送線路で評価した結果を図13に示す。

【0080】図中の波形は、送出回路21があるユニッ

ト 1 の隣にあるユニット 2 の受信回路 3 2 における入力部での波形である。

【 0 0 8 1 】 図 1 2 より明らかなように、従来の伝送線路においては分岐配線内における反射の繰り返しの影響と送出回路の切り替えに伴う信号の落ち込みの影響がかさなり、受信回路が入力信号を取り込めるのは、送出回路が切り替わってから 2 T d の時間の後であることがわかる。ここで T d とは信号が伝送線路の端から端まで伝わる時間であり、ここでは約 6 n s である。

【 0 0 8 2 】 一方、本発明で提供する伝送線路によれば送出回路が切り替わってから T d 待てば取り込むことができる。

【 0 0 8 3 】 すなわち、本発明によって送出回路の切り替えに伴う待ち時間を 2 T d から T d へと短縮することができる。

【 0 0 8 4 】 なお、本実施例では High から High への切り替えについて説明を行ったが、Low から Low、Low から High、High から Low のすべての切り替えにおいても同様である。またこの効果は切り替わる送出回路には依存せずすべての組み合わせにおいて有効である。

【 0 0 8 5 】 (実施例 3) 本実施例では、前記実施例 1、2 において、分岐配線の先にある容量が大きい場合や分岐配線の本数が多い場合に有効な発明を説明する。単一方向用伝送線路における本実施例を説明する基本ブロック図を図 1 4 に、また双方向用伝送路における本実施例を説明する基本ブロック図を図 1 5 に示す。図 1 4 においては回路ブロック 1 に送出回路 2 1 があり、回路ブロック 2 ~ 4 には受信回路 3 2 ~ 3 4 がある。さらに各ブロックに抵抗 8 0 ~ 8 3 と伝送線路 1 1 ~ 1 4 がある。また図 1 5 においては、回路ブロック 1 ~ 4 には送出回路 2 1 ~ 2 4 と受信回路 3 1 ~ 3 4 とがあり、さらに抵抗 8 0 ~ 8 3 と伝送線路 1 1 ~ 1 4 がある。また図 1 4、図 1 5 とも伝送線路 1 0 0 は各回路ブロック 1 ~ 4 を接続し、さらに伝送線路 1 0 0 の特性インピーダンス値の抵抗値をもつ抵抗 5 0、5 1 によって終端されている。

【 0 0 8 6 】 なお、図 1 4、1 5 において両端終端した例を示したが、抵抗 1 つで終端した片端終端でもよい。また、図 1 4、1 5 ではブロックの数が 4 の場合を示しているが、ブロックの数は 2 以上であれば、本発明は適用できる。

【 0 0 8 7 】 9 0 ~ 9 3 はスイッチ、1 1 0 ~ 1 1 3 は抵抗である。

【 0 0 8 8 】 本実施例では、図 1 4 または 1 5 の基本ブロック図を用いてスイッチの動作、およびその効果について説明を行い、それ以外は実施例 1、2 と同等であるのでここでは省略する。分岐配線の先にある容量が重くなったり、分岐配線の本数が多くなると、伝送線路の分岐点における信号電位の落ち込みはますます大きくな

り、実施例 1、2 においても、落ち込み量を抑えることは不可能となる。

【 0 0 8 9 】 例えば、実施例 1 で示した例での条件、すなわち図 4 において伝送線路 1 0 0 のインピーダンスを 5 0 Ω 、分岐配線 1 1 ~ 1 4 のインピーダンスを 1 0 0 Ω 、終端抵抗 5 0、5 1 をそれぞれ 5 0 Ω 、終端電源 6 0、6 1 を 1. 5 V、抵抗 8 0 ~ 8 3 の抵抗値を 7 5 Ω 、送出回路 2 1 のオン抵抗を 1 0 Ω とし、また、送出回路 2 1 は High 出力時には伝送線路を 3 V 電源と接続し、Low 出力時にはグラウンド、すなわち 0 V と接続する回路とすると、このようなバスでは分岐配線が 6 本を越えると、6 番目以降の最初に分岐点に到達する信号は基準電圧 (V r e f) を越えることができない。

【 0 0 9 0 】 このため、実施例 3 ではこの分岐点での信号電位の落ち込み分を埋め合わせるのに十分な電流を、送出回路動作時に余分に流すことで、信号電位の落ち込みによる遅延時間をなくす方法について説明する。

【 0 0 9 1 】 まず送出回路を動かす時に、送出回路がある回路ブロックのスイッチを閉じ、伝送線路 1 0 0 とユニット内伝送線路との間の抵抗を下げる。これにより、バス 1 0 0 における信号振幅を大きくすることができる。

【 0 0 9 2 】 例えば、終端抵抗 5 0、5 1 を 5 0 Ω 、マッチング抵抗 8 0 ~ 8 3 の抵抗値を 7 5 Ω 、送出回路 2 1 ~ 2 5 のオン抵抗を 1 0 Ω 、そしてスイッチの抵抗 8 0 ~ 8 3 の抵抗を 1 0 Ω とすると、スイッチを閉じることにより、伝送線路 1 0 0 と分岐配線 1 1 との間の抵抗は 7 5 Ω から 8. 8 Ω に低減し、伝送線路 1 0 0 上の振幅は 0. 6 8 V から 1. 3 V へと振幅が大きくなり、分岐点における信号電圧の落ち込みによる遅延時間をなくすことができる。

【 0 0 9 3 】 さらに、つぎのサイクルで信号が反転した場合でも高速転送が行えるようにするために、たとえば送出回路が信号を出してから、0. 3 サイクル後にスイッチを開く。こうすることで、本来設定した信号振幅に戻すことができ、高速転送が可能な小振幅に戻る。

【 0 0 9 4 】 この発明の効果を説明する図面を図 1 6、1 7 に示す。この図に示した波形は図 1 4、1 5 の回路を用いて、送出回路 2 1 を動かした時の波形である。図 1 6 は波形の立ち上がり時の波形、図 1 7 は立ち下がり時の波形である。

【 0 0 9 5 】 図 1 6、1 7 において、(a) は図 1 4 に示す点 C に着目し、点 C に入ってくる信号である点 B と、点 C から出て行く信号である点 D と点 E の信号波形を示したものである。同様に (b) は点 E に着目した信号波形を示した図、(c) は点 G に着目した信号波形を示した図である。1 4 0 2 は図 1 4 における点 B の信号波形、1 4 0 3 は C 点、1 4 0 4 は D 点、1 4 0 5 は E 点、1 4 0 6 は F 点、1 4 0 7 は G 点、1 4 0 8 は H 点の信号波形を示している。

【0096】スイッチを使うことで、伝送線路100における信号振幅を大きくすることができ、分岐点における信号電位の落ち込みによる遅延時間をなくすことができる。このようにスイッチを制御することで、負荷容量の大きい伝送線路や分岐配線の本数が多い伝送線路において高速な小振幅転送が可能となる。

【0097】スイッチの制御は図示していないが、送出回路を含む回路ブロック内の制御部が行なう。また、抵抗の代わりに容量を用いても同様の効果を作ることが出来る。容量を用いた場合の一実施例を図20、図21に示す。図20は図14に示す例を容量に変更した例を、図21は図15に示す例の抵抗を容量に変更した例を示す。ここで、120～123が容量である。容量は一般的には、数十ピコファラッド程度のものが望ましい。

【0098】送出回路からの信号により容量の送出側の電位が変化すると、電荷保存則により容量の伝送線100側の電位も上がるため、抵抗80～83のみを介して変化させた振幅に比べ、大きな振幅を得ることができる。

【0099】なお、スイッチは送出回路を動かすユニットにあるスイッチを閉じ、そのほかのスイッチは開くのがもっとも良い。また、容量によって大きくなった伝送線路100上の振幅は終端50、51によって数ns程度で元の振幅に戻るため、送出回路が動いている間はスイッチを閉じたままでも良い。

【0100】図22、図23は、図20の回路図において送出回路21を動かした時の各点における立ち上がり波形、立ち下がり波形を示したものである。

【0101】図22、23において、(a)は図20に示す点Cに着目し、点Cに入ってくる信号である点Bと、点Cから出て行く信号である点Dと点Eの信号波形を示したものである。同様に(b)は点Eに着目した信号波形を示した図、(c)は点Gに着目した信号波形を示した図である。図中2002は図20における点Bの信号波形、2003はC点、2004はD点、2005はE点、2006はF点、2007はG点、2008はH点の信号波形を示している。

【0102】このように、容量を用いても伝送線路100における信号振幅を大きくすることができ、分岐点における信号電位の落ち込みによる遅延時間をなくすことができる。

【0103】

【発明の効果】本発明によれば分岐配線のインピーダンスからバスのインピーダンスの半分を引いた値の近傍の抵抗値を持った抵抗を分岐配線とバスとの間に挿入することにより、分岐配線内での反射の繰り返しを防止することができ、挿入抵抗、終端抵抗の分圧によって伝送線路上の振幅を低振幅にすることができるので、高速に信

号伝送が可能となる。また、伝送線路上に多数の分岐点がある場合、分岐配線内の容量が抵抗を通して見えるためバスのインピーダンスの低下を抑える効果もある。更に、活線挿抜における波形歪も抑えることができる。

【図面の簡単な説明】

【図1】従来の単一方向用伝送線路を説明する図。

【図2】従来の伝送線路を用いたときの信号波形（立ち上がり波形）を説明する図。

【図3】従来の伝送線路を用いたときの信号波形（立ち下がり波形）を説明する図。

【図4】本発明の実施例1を示すブロック図

【図5】送出回路の一例を説明する図

【図6】差動型受信回路の一例を説明する図

【図7】本発明の実施例1の信号波形（立ち上がり波形）を表す図

【図8】本発明の実施例1の信号波形（立ち下がり波形）を表す図

【図9】従来の伝送線路を用いた場合の活線挿抜による波形歪を示す図

【図10】本発明の実施例1の回路を用いた場合の活線挿抜による波形歪を示す図

【図11】本発明の実施例2を示すブロック図

【図12】従来の伝送線路を用いて送出回路の切り替えを行ったときの波形を示す図

【図13】本発明の実施例2の回路を用いて送出回路の切り替えを行ったときの波形を示す図

【図14】本発明の実施例3を示すブロック図

【図15】本発明の実施例3の他の例を示すブロック図

【図16】本発明の実施例3の回路を用いた場合の信号波形（立ち上がり波形）を示す図

【図17】本発明の実施例3の回路を用いた場合の信号波形（立ち下がり波形）を示す図

【図18】本発明の実施例1の回路において伝送路のインピーダンスを変えた場合の信号波形（立ち上がり波形）を示す図

【図19】本発明の実施例1の回路において伝送路のインピーダンスを変えた場合の信号波形（立ち下がり波形）を示す図

【図20】本発明の実施例3の抵抗を容量に変更した例を示す図

【図21】本発明の実施例3抵抗を容量に変更した他の例を示す図

【図22】図20で示す例を用いた場合の信号波形（立ち上がり波形）を示す図

【図23】図20で示す例を用いた場合の信号波形（立ち下がり波形）を示す図

【符号の説明】

1、2、3、4…回路ブロック

11、12、13、14…伝送線路

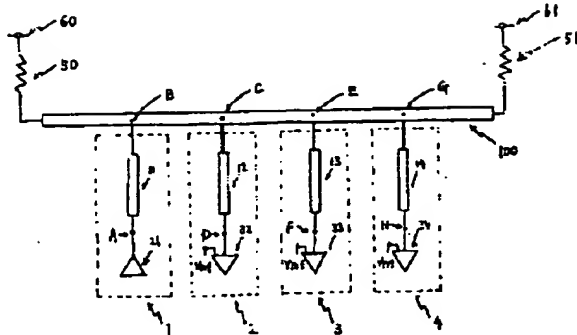
21、22、23、24…送信回路

15

31, 32, 33, 34…受信回路
 50, 51, 52, 53…終端抵抗
 62…ドライバ供給電源, 63…グランド
 70, 71, 72, 73, 74, 75, 76…MOSFET
 ET
 80, 82, 83…マッチング抵抗

【図1】

図 1.

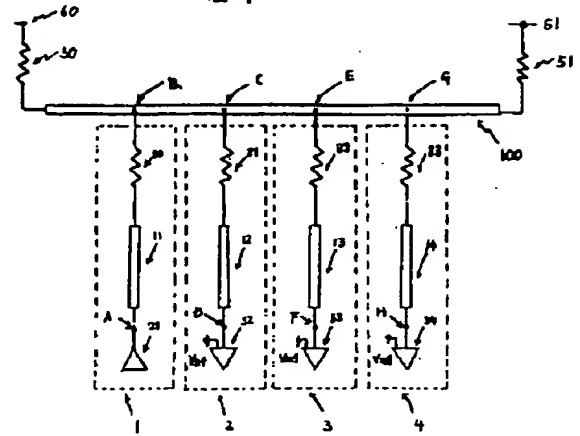


16

90, 91, 92, 93…スイッチ
 100…回路ブロック間伝達用伝送線路
 110, 111, 112, 113…抵抗
 120, 121, 122, 123…容量
 Vref 基準電圧

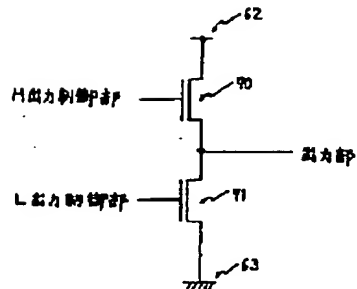
【図4】

図 4



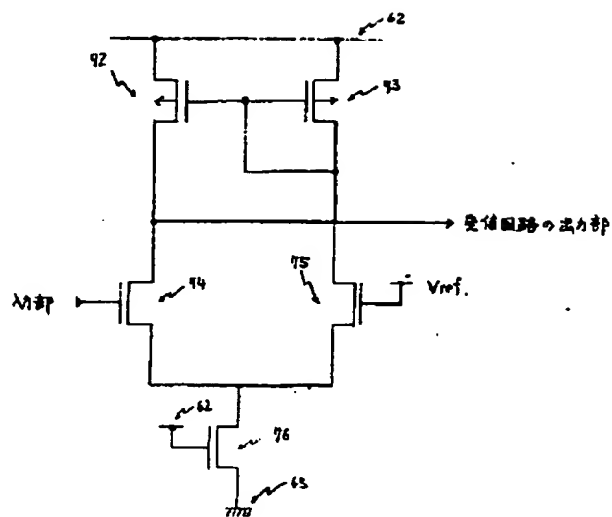
【図5】

図 5

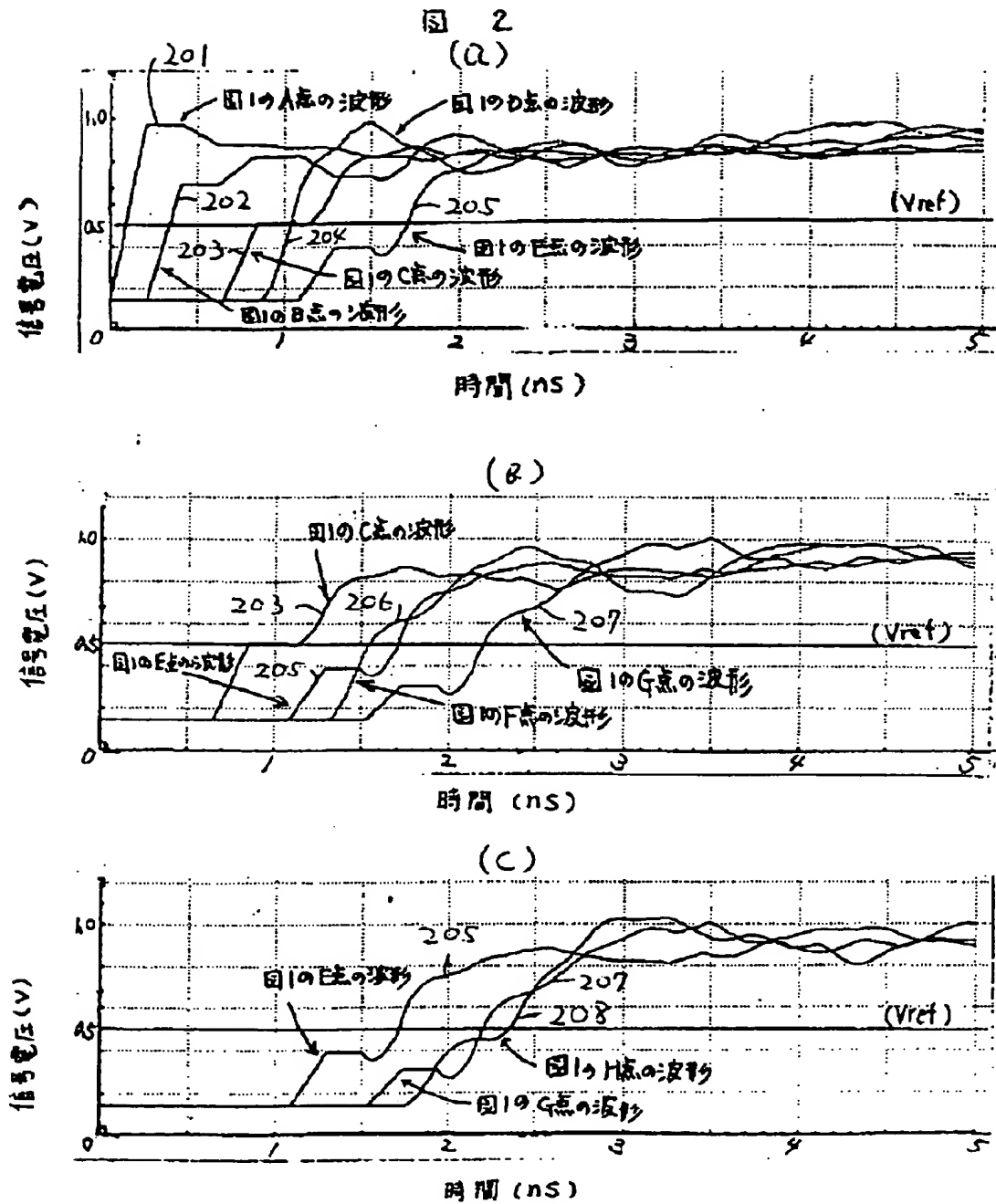


【図6】

図 6



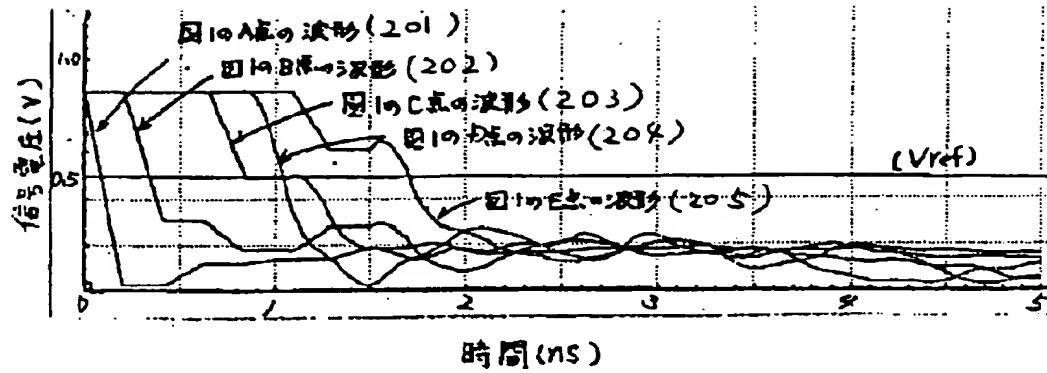
〔 図 2 〕



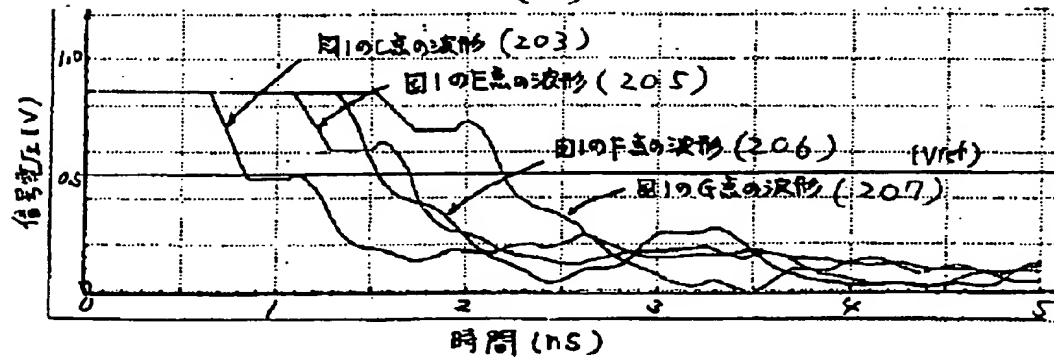
〔 図 3 〕

図 3

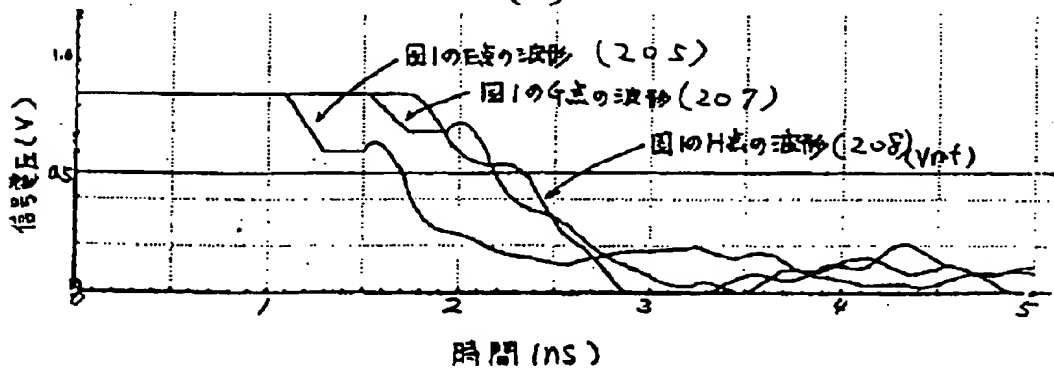
(a)



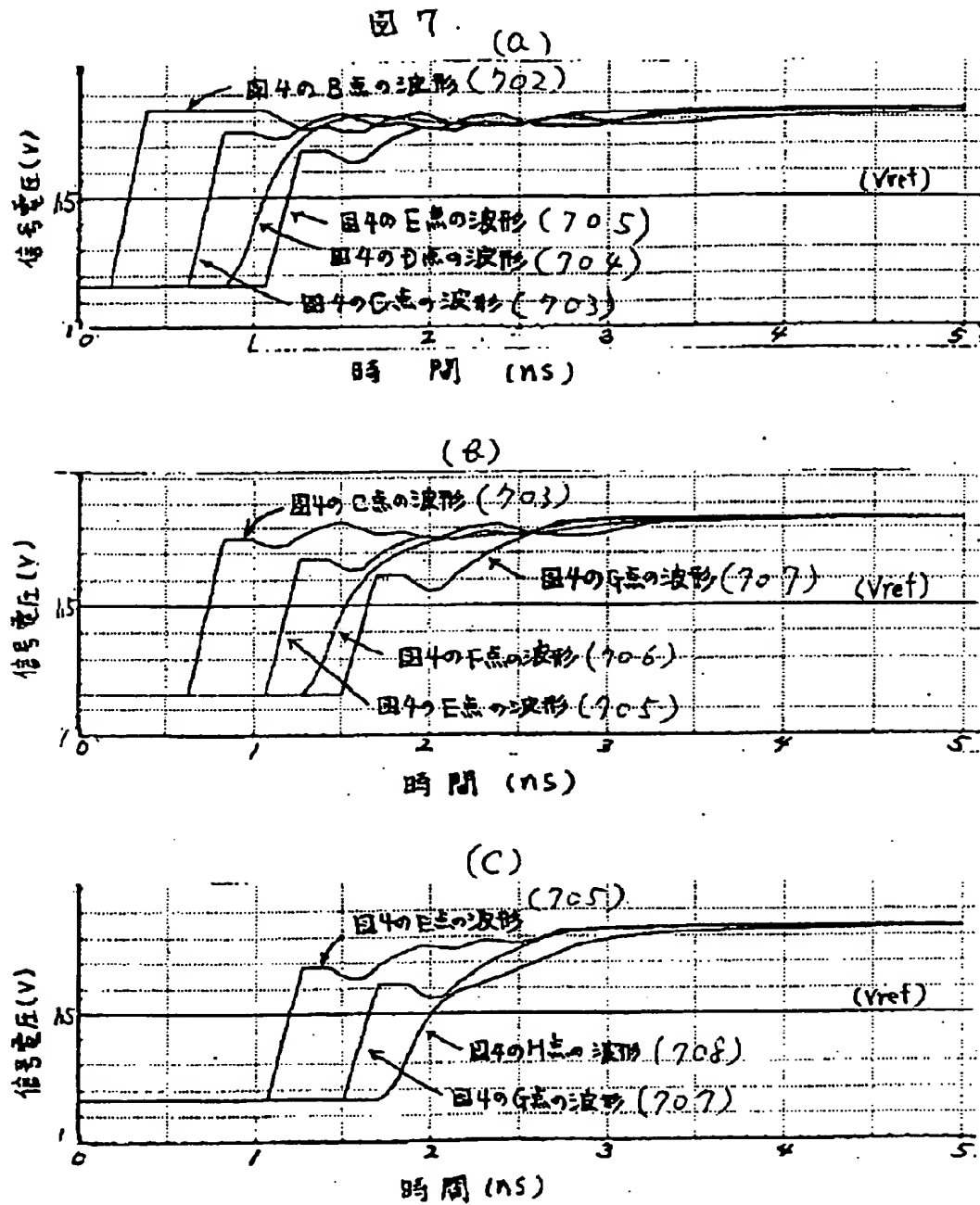
(b)



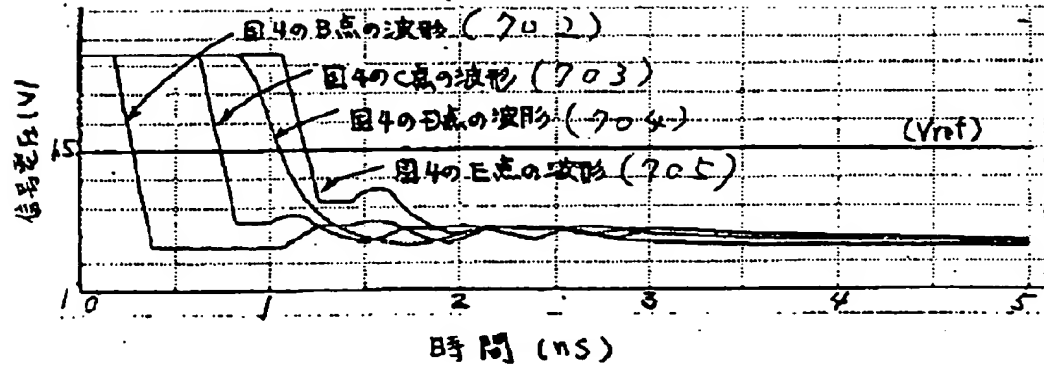
(c)



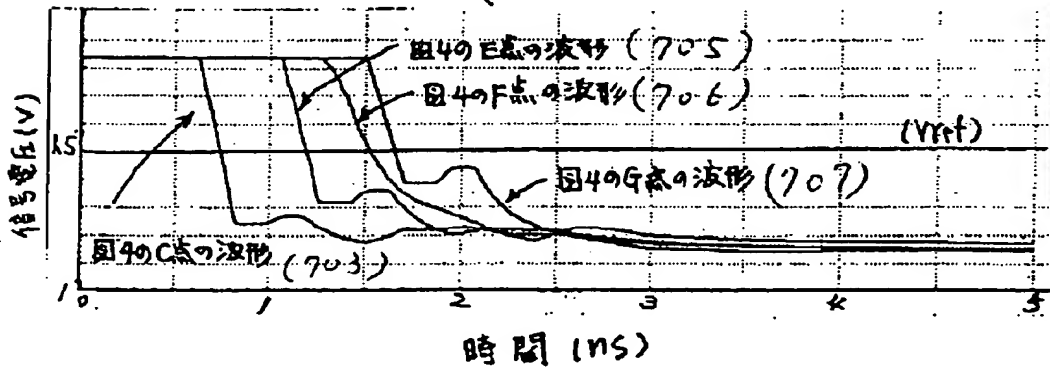
【 図 7 】



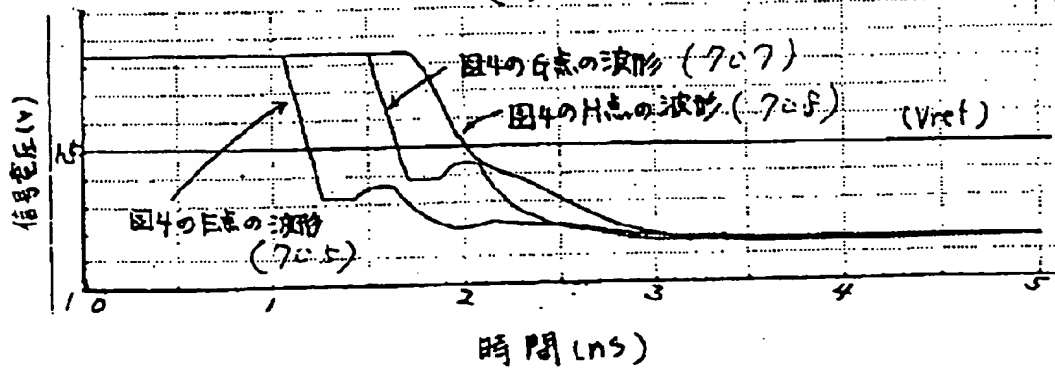
(図 8)

図 8
(a)

(b)

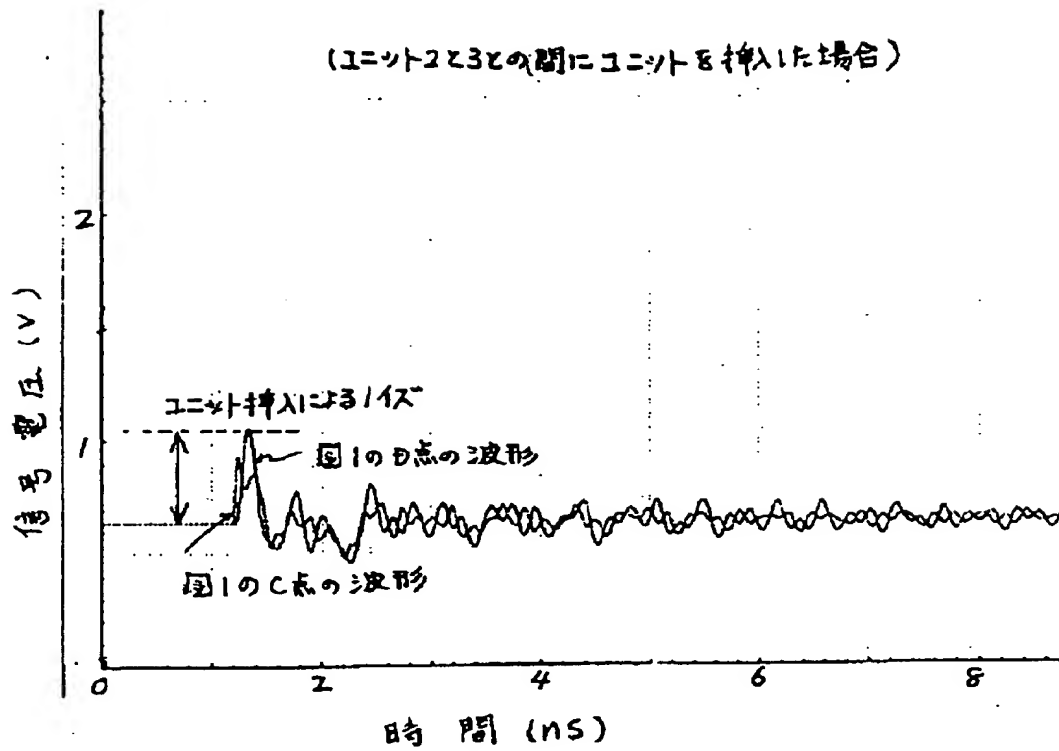


(c)



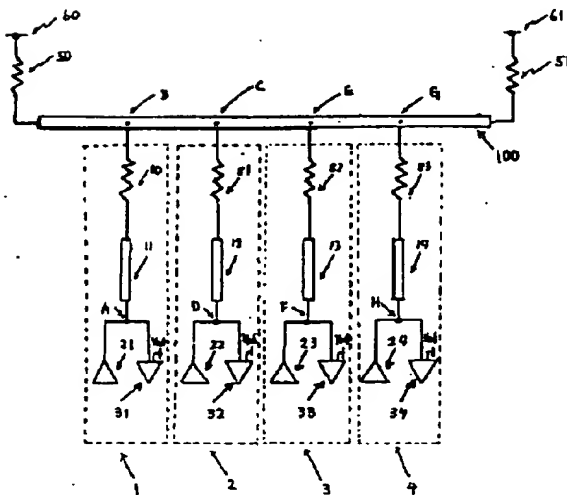
【図 9】

図 9



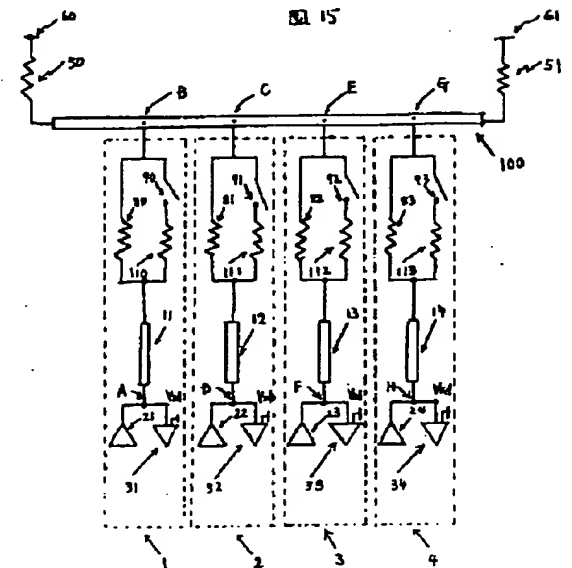
【図 11】

図 11



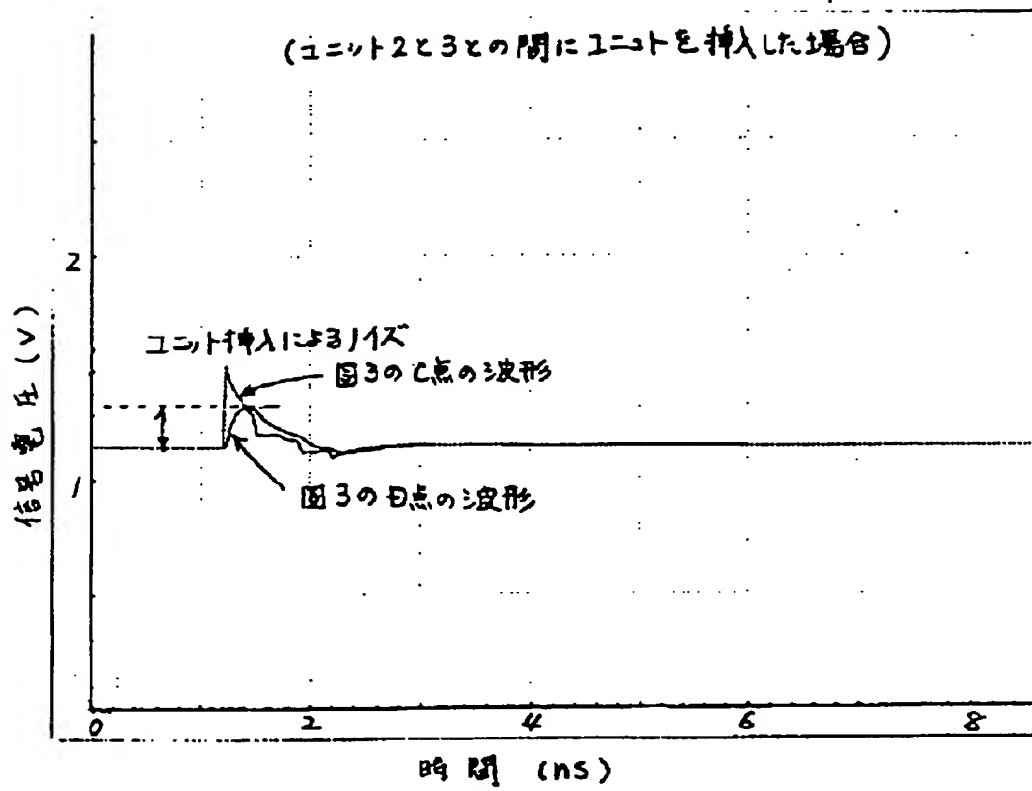
【図 15】

図 15



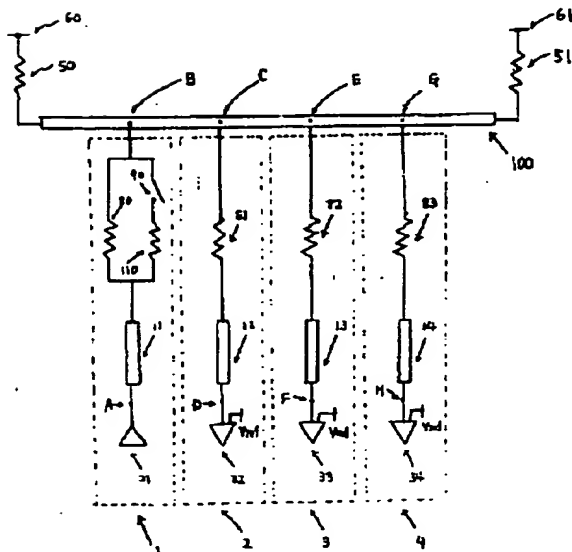
【図 10】

図 10



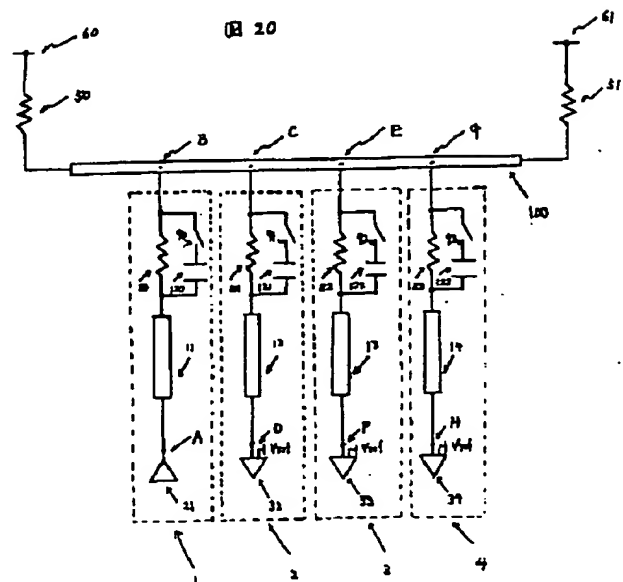
【図 14】

図 14



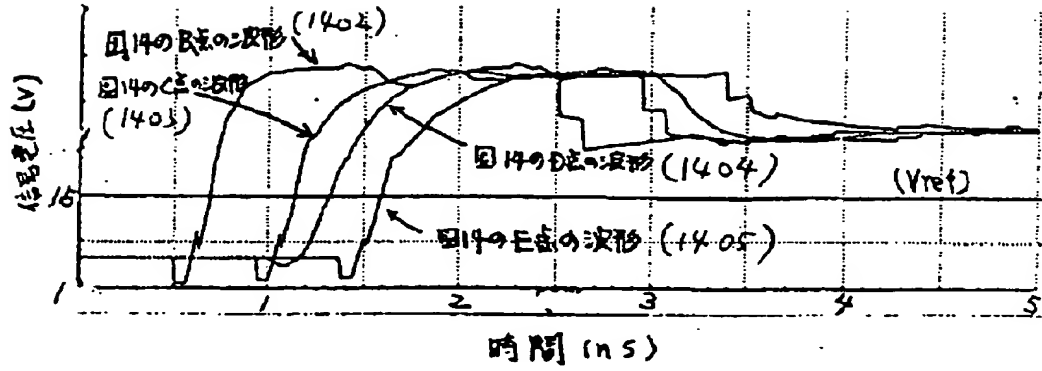
【図 20】

図 20

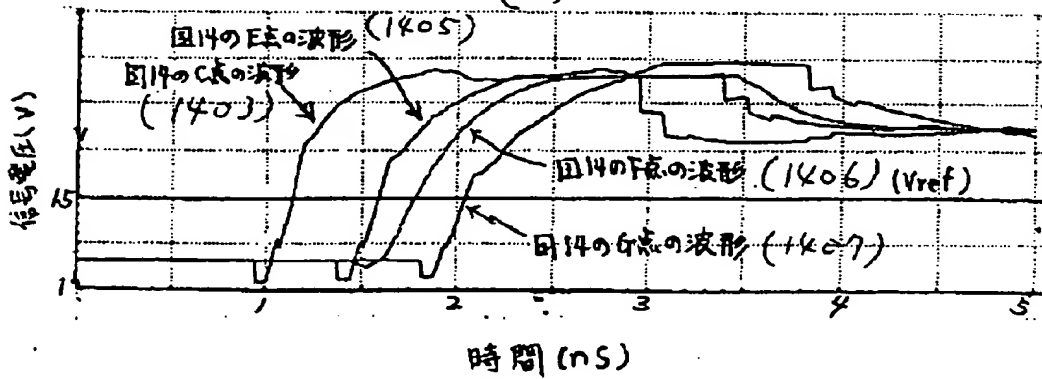


〔 図 1 6 〕

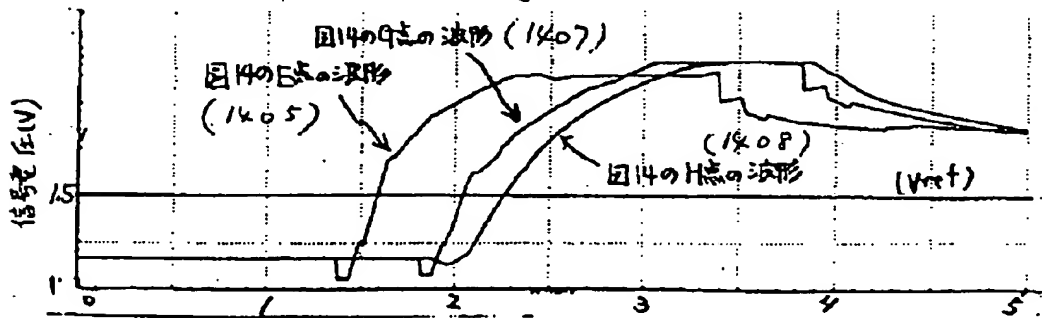
図 1 6 (a)



(B)



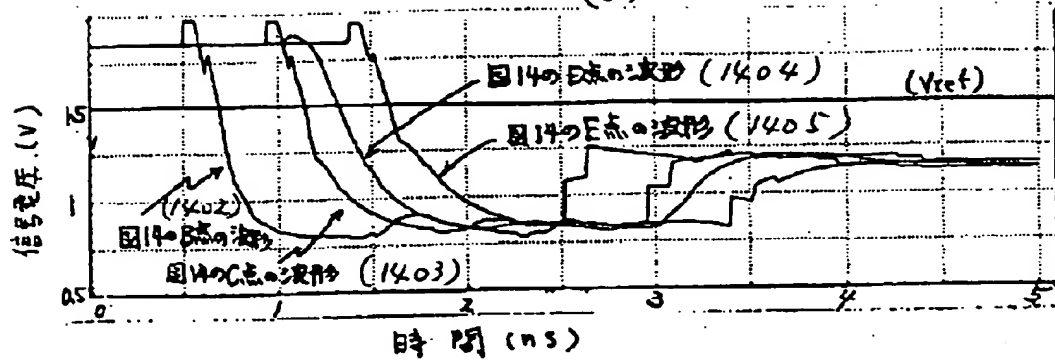
(C)



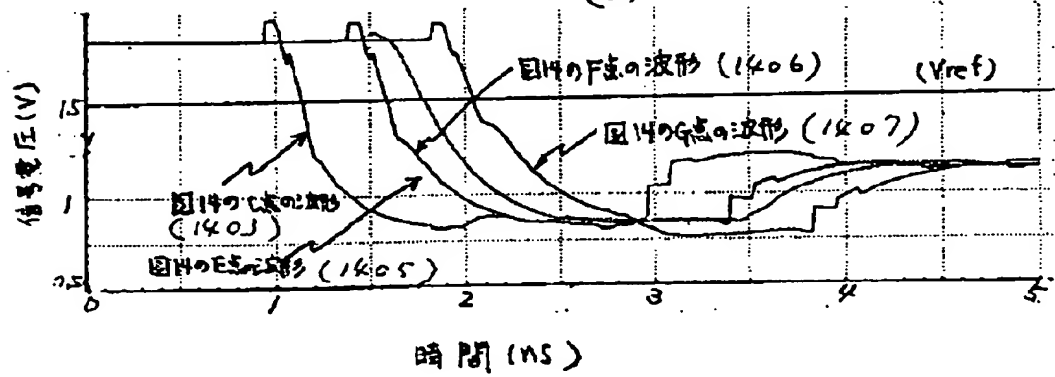
【 図 1 7 】

図 1 7

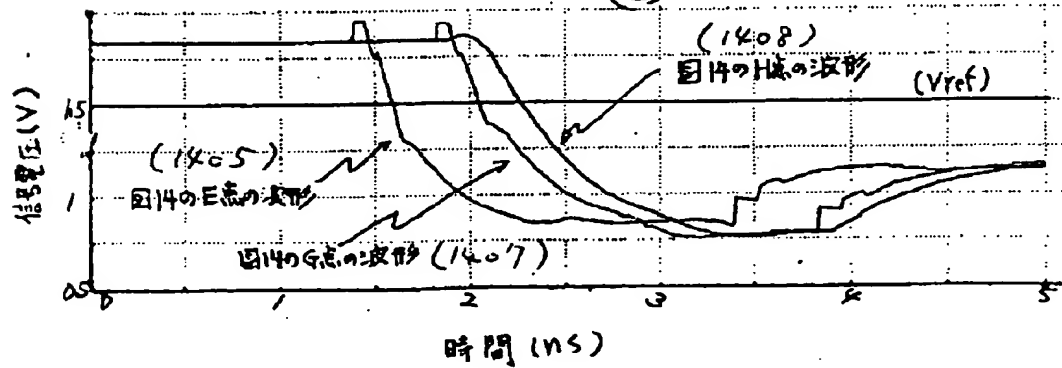
(A)



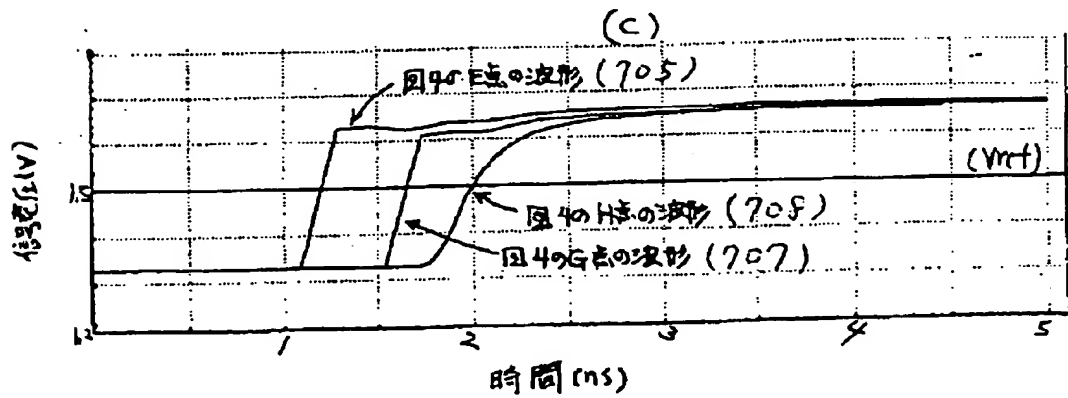
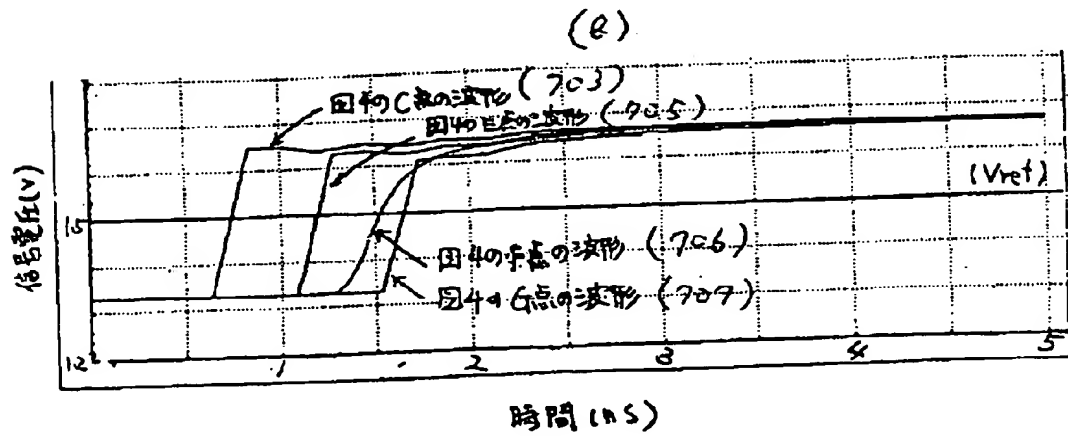
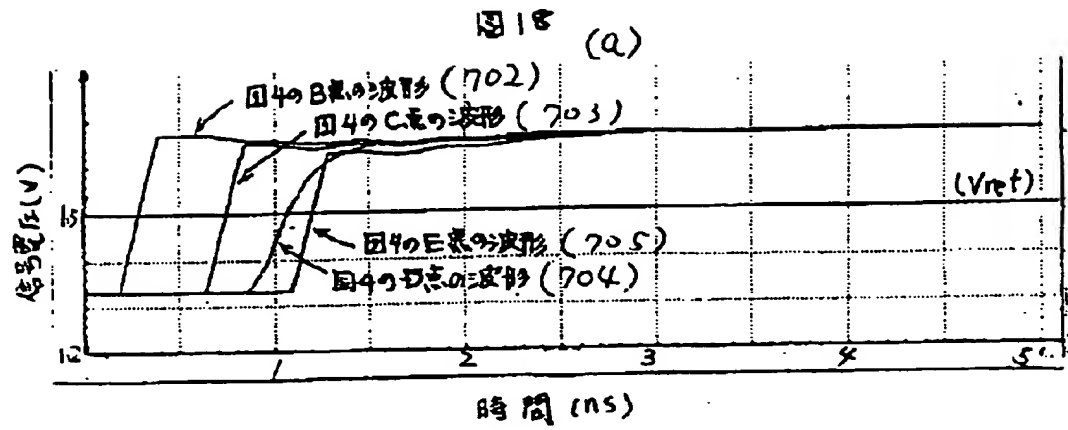
(B)



(C)

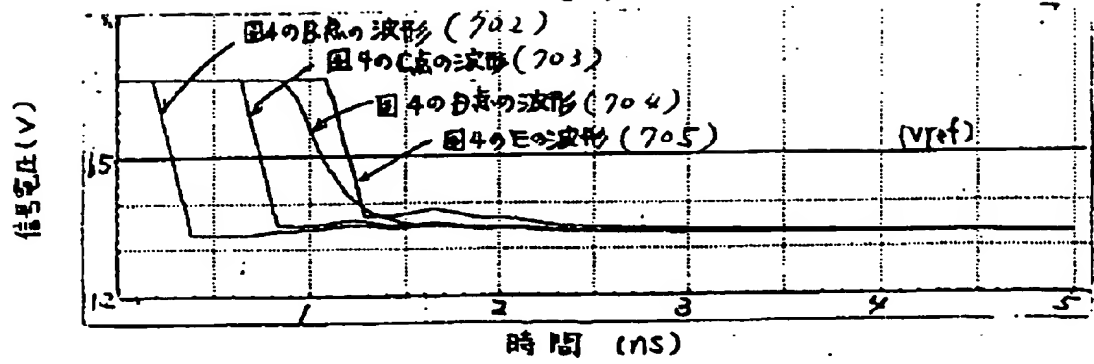


【 図 1 8 】

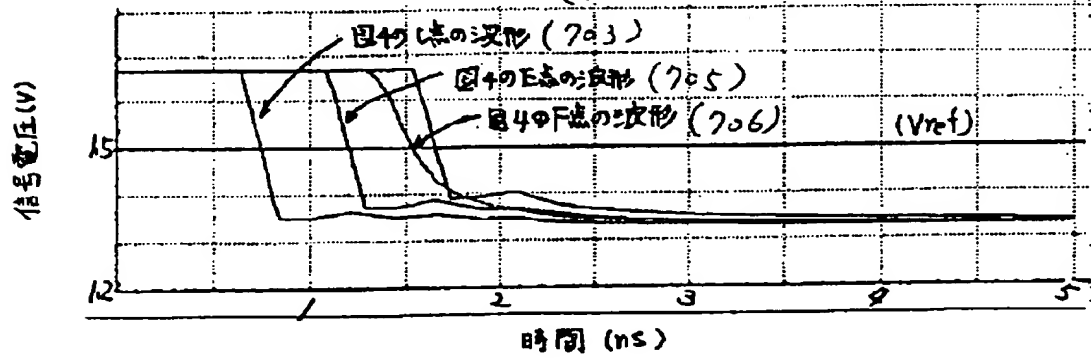


【図 19】

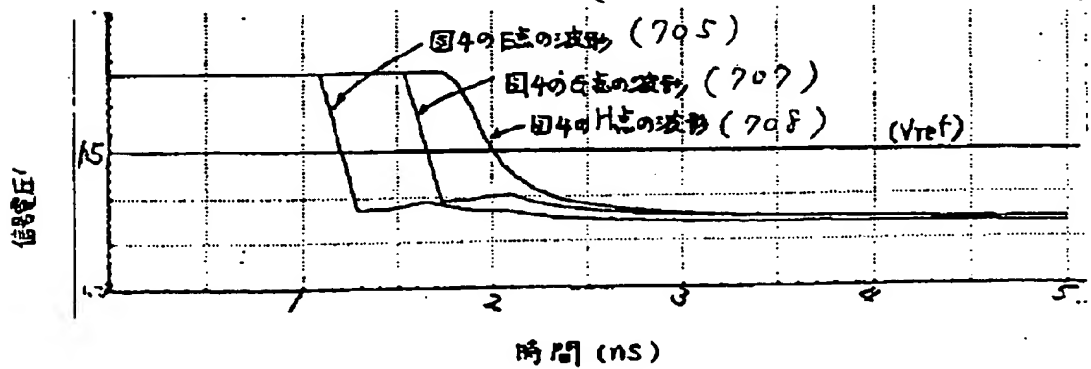
図 19 (a)



(b)

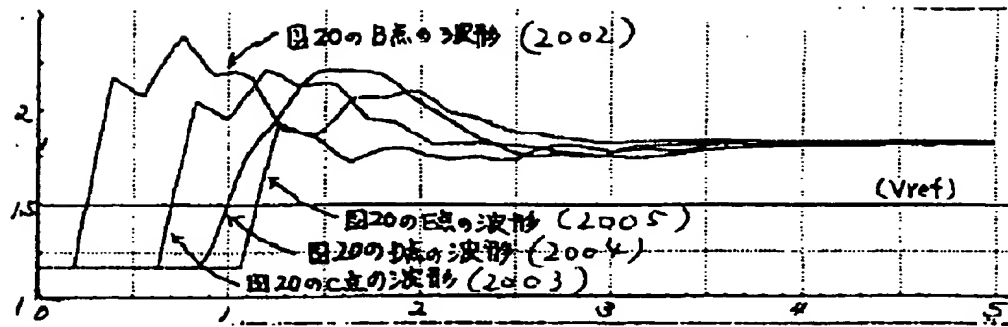


(c)

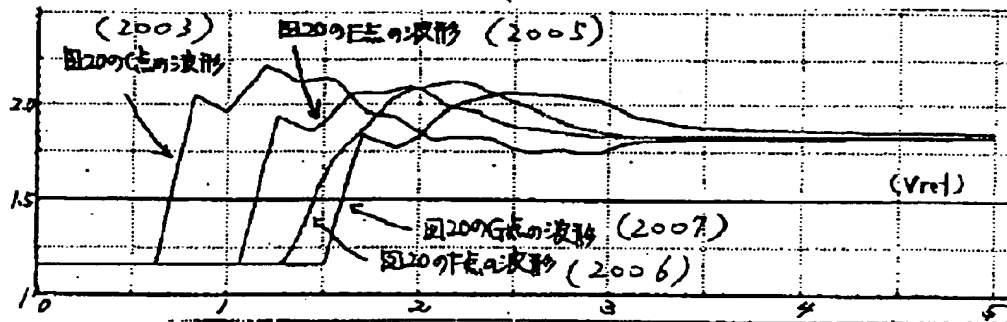


【 図 2 2 】

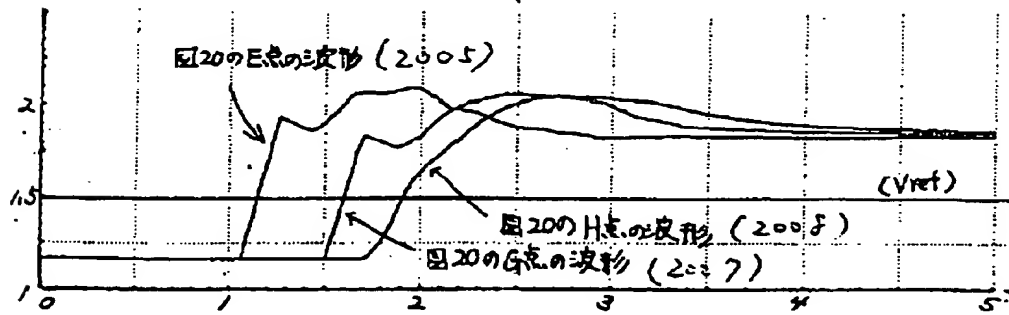
図 22 (a)



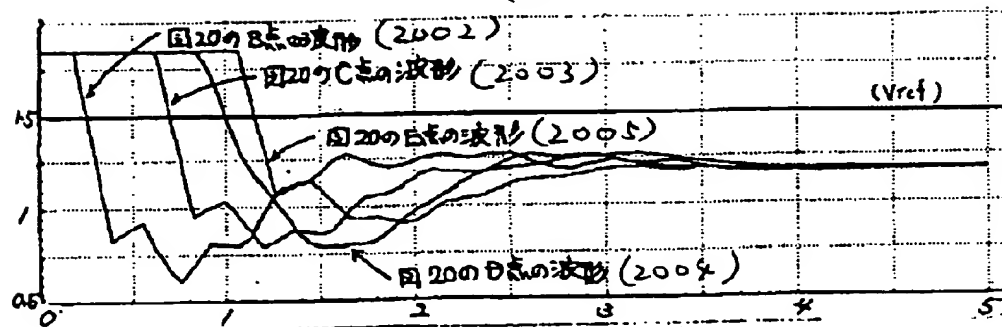
(b)



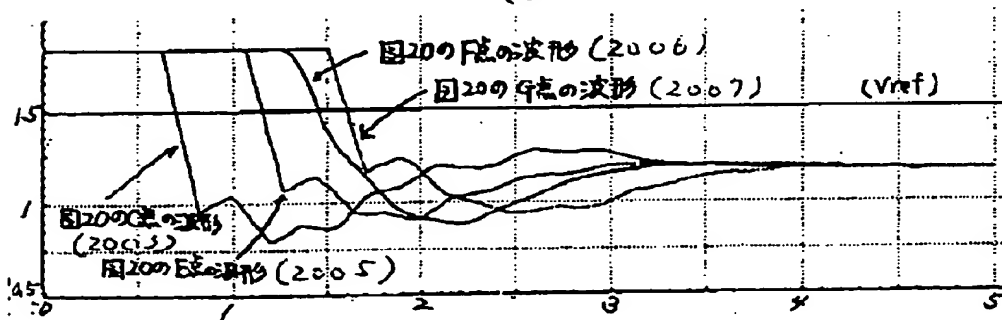
(c)



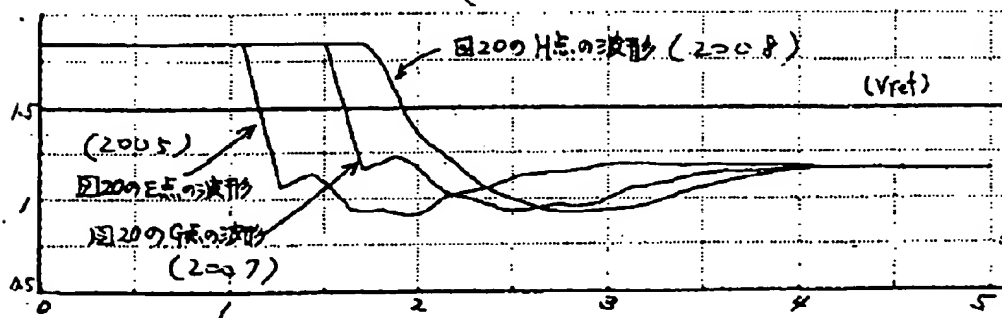
〔 図 2 3 〕

図 23
(a)

(b)



(c)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.